

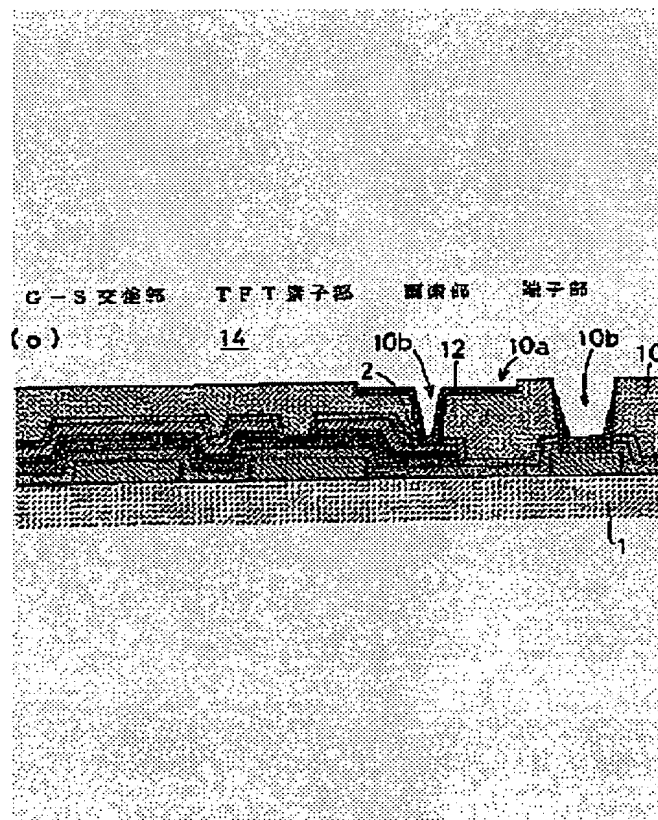
# MATRIX SUBSTRATE FOR LIQUID CRYSTAL, AND METHOD FOR MANUFACTURING THE SAME AND METHOD OF FORMING THE CONTACT HOLE

**Patent number:** JP2002098994  
**Publication date:** 2002-04-05  
**Inventor:** KIYOUHO MASANORI; YAMAMOTO TATSUSHI; KIRA TORU  
**Applicant:** SHARP KK  
**Classification:**  
**- international:** G02F1/13; G02F1/1333; G02F1/1343; G02F1/1368; G03F7/20; H01L21/312; H01L21/336; H01L21/768; H01L29/786; G02F1/13; G03F7/20; H01L21/02; H01L21/70; H01L29/66; (IPC1-7): G02F1/1368; G03F7/20; H01L21/312; H01L21/336; H01L21/768; H01L29/786  
**- european:**  
**Application number:** JP20000290730 20000925  
**Priority number(s):** JP20000290730 20000925

Report a data error here

## Abstract of JP2002098994

**PROBLEM TO BE SOLVED:** To manufacture a liquid crystal display device of a high aperture ratio by using fewer photomasks.  
**SOLUTION:** After the main portions as the TFT active matrix substrate have been formed, a photosensitive acrylic resin film 10 is applied to their surfaces to planarize the surfaces. A water-repellent fluororesin 11 is applied thereon, and the photosensitive acrylic resin film 10 is etched by utilizing halftone exposure. Recesses 10a, correspond to the portions to be exposed so as to be partially cured, and contact holes 10b correspond to the portions to be exposed so as to be non-cured. When a coating type transparent conductive material is applied, the material will not adhere to the portions where the water-repellent fluororesin 11 remains. The coating type transparent conductive film 12, formed on the portions of the recesses 10a, can be utilized as pixel electrodes and can be three-dimensionally overlapped on gate electrodes 2.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-98994

(P2002-98994A)

(43) 公開日 平成14年4月5日 (2002. 4. 5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-リ-ト* (参考)
G 0 2 F 1/1368		G 0 3 F 7/20	5 0 1 2 H 0 9 7
G 0 3 F 7/20	5 0 1	H 0 1 L 21/312	D 5 F 0 3 3
H 0 1 L 21/312		G 0 2 F 1/136	5 0 0 5 F 0 5 8
21/768		H 0 1 L 21/90	A 5 F 1 1 0
29/786		29/78	6 1 2 D
審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願2000-290730 (P2000-290730)

(22) 出願日 平成12年9月25日 (2000. 9. 25)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 享保 昌則

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 山本 達志

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100075557

弁理士 西教 圭一郎

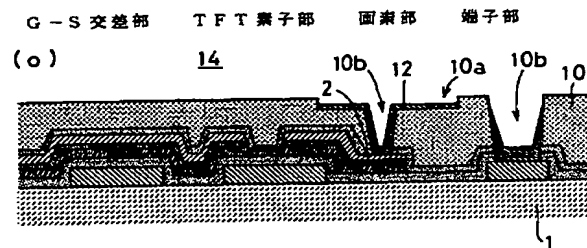
最終頁に続く

(54) 【発明の名称】 液晶用マトリクス基板およびその製造方法ならびにコンタクトホール形成方法

(57) 【要約】

【課題】 高開口率の液晶表示装置を、少ないフォトマスクを使用して製造する。

【解決手段】 TFTアクティブマトリクス基板としての主要部分を形成した後に、表面に感光性アクリル系樹脂膜10を塗布して平坦化する。その上に撥水性フッ素系樹脂11を塗布し、ハーフトーン露光を利用し、感光性アクリル系樹脂膜10をエッチングする。凹所10aは、部分的に硬化するように露光される部分に対応し、コンタクトホール10bは未硬化となるように露光される部分に対応する。塗布型透明導電材を塗布すると、撥水性フッ素系樹脂11が残存している部分には付着しない。凹所10aの部分に形成される塗布型透明導電膜12は、画素電極として利用することができ、ゲート電極膜2と立体的にオーバーラップさせることができる。



## 【特許請求の範囲】

【請求項1】 複数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成される液晶用マトリクス基板において、マトリクス回路上を平坦に覆うように電気絶縁性合成樹脂材料で形成され、該画素電極形成領域には凹所が形成され、さらに該凹所内に該マトリクス回路まで貫通するコンタクトホールが形成される電気絶縁膜と、電気絶縁膜の凹所およびコンタクトホール内に充填される導電材とを含むことを特徴とする液晶用マトリクス基板。

【請求項2】 複数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成される液晶用マトリクス基板の製造方法において、電気絶縁性基板上に、感光性を有する電気絶縁性合成樹脂材料を塗布して、表面が平坦な電気絶縁膜を形成し、電気絶縁膜の表面に、撥水性透明樹脂層を形成し、撥水性透明樹脂層を通して、電気絶縁膜を、予め定められる画素電極形成領域を除いて硬化し、該画素電極領域の予め定めるコンタクトホール位置で未硬化となり、該コンタクトホール位置を除く該画素電極領域で部分的に硬化するように、露光量を調整したマスクでハーフトーン露光し、電気絶縁膜を現像して、画素電極領域で撥水性透明樹脂層が除去され、コンタクトホール位置の電気絶縁膜にマトリクス回路に達する貫通孔が形成され、コンタクトホール位置を除く画素電極領域で該貫通孔に連なる凹所が形成されるようにバターンニングし、バターンニングされた撥水性透明樹脂層および電気絶縁膜上に、塗布型導電材を塗布して画素電極を形成することを特徴とする液晶用マトリクス基板の製造方法。

【請求項3】 前記マトリクス回路は、複数の薄膜トランジスタを含むTFTアクティブマトリクス回路であり、該TFTアクティブマトリクス回路の製造工程は、前記電気絶縁性基板上にゲート電極材料で成膜し、バターンニングするゲート電極膜バターンニング工程と、ゲート絶縁膜、チャネル領域となる第1の半導体層、オーミックコンタクト層となる第2の半導体層、さらにはソース・ドレイン電極となる金属層を順次積層する積層工程と、露光量を調整したハーフトーン露光によって、第1の半導体層および第2の半導体層を島状に形成し、ソース・ドレイン電極のバターンニングおよびチャネルエッチングを行う分離エッチング工程と、分離エッチング工程後に、パッシベーション膜を成膜して覆うパッシベーション工程とを含むことを特徴とする請求項2記載の液晶用マトリクス基板の製造方法。

【請求項4】 前記画素電極の形成後に、前記撥水性透明樹脂層の残存部分を除去することを特徴とする請求項

2または3記載の液晶用マトリクス基板の製造方法。

【請求項5】 前記電気絶縁性合成樹脂材料として、感光性アクリル系樹脂を使用し、前記撥水性透明樹脂層は撥水性フッ素系樹脂によって形成し、前記画素電極は、塗布型透明導電材料で形成することを特徴とする請求項2～4のいずれかに記載の液晶用マトリクス基板の製造方法。

【請求項6】 電気絶縁膜で覆われる導電部分に、該電気絶縁膜を貫通して表面と導通させるためのコンタクトホールを、塗布型導電材を塗布して形成する方法であって、感光性を有する電気絶縁膜の表面に、該塗布型導電剤を弾く性質を有する透明樹脂膜を形成し、透明樹脂膜を通して、電気絶縁膜を、予め定められるコンタクトホール位置では未硬化となり、コンタクトホール位置の周囲の予め定める領域を除いて硬化し、該領域では部分的に硬化するように、露光量を調整して露光させ、電気絶縁膜を現像して、コンタクトホール位置の電気絶縁膜に導電部分に達する貫通孔が形成され、コンタクトホール位置の周囲の予め定める領域に凹所が形成され、該コンタクトホール位置および該凹所で透明樹脂膜が消失するようにバターンニングし、バターンニングされた透明樹脂膜および電気絶縁膜上に、塗布型導電材を塗布して、コンタクトホール位置の貫通孔に該塗布型導電材を充填し、凹所に導電膜を形成することを特徴とするコンタクトホール形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置を形成するための液晶用マトリクス基板およびその製造方法と、電子回路形成用の配線基板でコンタクトホールを形成する方法とに関する。

## 【0002】

【従来の技術】従来から、液晶表示装置では、Thin Film TransistorからTFTと略称される薄膜トランジスタをスイッチング素子に用いるアクティブマトリクス型液晶表示装置が広く用いられている。TFTをスイッチング素子とするアクティブマトリクス型液晶表示装置では、透明なガラス基板の表面に、TFTアクティブマトリクス回路を形成したTFTアレイ基板を使用する。TFTアレイ基板は、何枚ものフォトマスクを用い、フォトリソグラフィのプロセスによる微細バターンニングを繰返すことによって、製造されている。液晶表示装置の生産性および製造歩留まりの向上や、コストダウンを図る観点からは、フォトマスクの使用数の削減、つまりはフォトリソグラフィプロセスの削減が検討されてきている。

【0003】TFTアクティブマトリクス型液晶表示装

置の低消費電力化および高輝度化を図る上では、液晶セルの光透過率を大きく改善するために、TFTアレイ基板の開口率を向上させることが必要である。開口率の向上の手法としては、液晶セルに電界を与えるための画素電極を平坦な保護膜上に形成し、ゲート電極と画素電極とを立体的にオーバーラップさせる方法が知られている。この方法では、80%を超える高開口率が実現されている。このような高開口率アクティブマトリクス基板の製造プロセスは、走査用のゲート電極配線とデータ用のソース電極配線とが交差するG-S交差部、スイッチング素子であるTFT素子部、画素部および周辺回路に設けられる端子部を並べた模式的な断面構成部分に対して、図10(a)～図15(p)に示すように行われる。

【0004】まず、図10(a)は、ガラス基板21の表面全体にゲート電極膜22を成膜している状態を示す。ゲート電極膜22は、スパッタリング法などによって、クロム(Cr)、アルミニウム(Al)、タンタル(Ta)等の金属膜として形成する。次にゲート電極膜22の上に、フォトレジストを均一に塗布し、1枚目のフォトマスクを用いて図10(b)に示すようなレジストパターン23を形成する。次にレジストパターン23を利用してエッチングを行い、図10(c)に示すようにゲート電極膜22をパターニングする。

【0005】次に図11(d)に示すように、ゲート絶縁膜24、第1半導体層25、第2半導体層26の3層をプラズマCVD法やスパッタリング法などで、連続積層成膜する。ゲート絶縁膜24は、たとえば窒化シリコン(SiNx)膜などで形成される。第1半導体層25は、アモルファスシリコン(A-Si)膜で形成される。第2半導体層26は、n型不純物を高濃度にドーブしたシリコン(n<sup>+</sup>-Si)膜で形成される。

【0006】次にフォトレジストを全体に塗布し、2枚目のフォトマスクを用いて図11(e)に示すレジストパターン27を形成する。レジストパターン27が形成されるのは、G-S交差部とTFT素子部とであり、画素部や端子部には形成されない。レジストパターン27を用いてエッチングを行うと、図11(f)に示すように、第1半導体層25および第2半導体層26の2層が島状にパターニングされる。

【0007】次にレジストパターン27を除去し、図12(g)に示すように、全面にソース・ドレイン電極膜28を成膜する。ソース・ドレイン電極膜28は、スパッタリング法等によって、クロム、アルミニウム、タンタルなどの金属膜を形成する。その後、一旦全面にフォトレジストを塗布し、3枚目のフォトマスクを用いて、図12(h)に示すようなレジストパターン29を形成する。レジストパターン29は、G-S交差部とTFT素子部とに形成されるけれども、TFT素子部ではチャンネル部分には形成されない。次にエッチングを行い、図

12(i)に示すように、チャンネル部分にはレジストパターン29が形成されていないので、ソース・ドレイン電極膜28および第2半導体層26が除去され、ソース・ドレイン電極分離パターニングが行われる。さらに第1半導体層25も部分的にエッチングされ、チャンネル部の厚みを調整するチャンネルエッチング加工が行われる。

【0008】図13(j)は、図12(i)でソース・ドレイン電極分離パターニングおよびチャンネルエッチング加工が行われた後、レジストパターン29を除去した状態を示す。次に、図13(k)に示すように、パッシベーション膜30をスパッタリング法などによって全面に形成する。パッシベーション膜30は、たとえば窒化シリコン(SiNx)などの保護膜である。さらに図13(l)に示すように、感光性アクリル系樹脂膜31を平坦化のために塗布する。

【0009】次に、4枚目のフォトマスクを用いて、図14(m)に示すように、感光性アクリル系樹脂膜31をパターニングする。このパターニングでは、感光性アクリル系樹脂膜31に部分的にパッシベーション膜30に達する貫通孔を形成する。パターニングした感光性アクリル系樹脂膜31をマスクとしてパッシベーション膜30を図14(n)に示すようにエッチングすると、感光性アクリル系樹脂膜31の表面から、ソース・ドレイン電極膜28のうちでソース電極と分離したドレイン電極に達するコンタクトホールが形成される。次に全面に透明導電膜32をスパッタリング法などによって形成すると、図14(o)に示すようになる。透明導電膜32は、酸化インジウム錫(ITO)や酸化錫(SnO<sub>2</sub>)を用いる。

【0010】図15(p)は、図14(o)で感光性アクリル系樹脂膜31の表面全体に形成した透明導電膜32を、5枚目のフォトマスクを用いてパターニングし、画素電極33を形成している状態を示す。画素電極33は、TFT素子部では感光性アクリル系樹脂膜31で立体的にオーバーラップして形成させることができるので、高開口率アクティブマトリクス基板34が形成される。

【0011】以上述べた高開口率アクティブマトリクス基板34の製造工程では、(b)、(e)、(h)、

(m)および(p)の各工程で合計5枚のフォトマスクを使用する。このため、プロセス時間の長時間化や製造歩留まりの低下の要因となっている。アクティブマトリクス基板の製造工程で、フォトマスクの使用数を減少させることに関する先行技術としては、たとえば特開平5-303111号公報を挙げることができる。この先行技術では、基板上に先ず透明導電膜を形成する。透明導電膜は、画素電極としてばかりではなく、ゲート電極の下地層としても利用する。ゲート電極は、透明導電膜の上に電解メッキを施して形成する。特開2000-206571号公報には、厚さが異なるレジストパターンを

形成して、図11(e)から図12(i)に示す工程を、1枚のフォトマスクを利用して行う考え方が示されている。厚さが異なるレジストパターンは、特開昭61-181130号公報に示されているように、露光量を変えて形成する。特開昭61-181130号公報では、段差がある部分でも高精度なパターンを形成するために、露光量を変えてレジスト膜パターンを形成している。特開2000-206571号公報では、厚みが異なる部分を利用して2段階のエッチングを行い、フォトマスクの使用数を1枚減少させることを可能にしている。同様の考え方は、C.W.Kim et al.によってSid 2000 Digest第1006~1009頁に「A Novel Four-Mask-Count Process Architecture for TFT-LCDs」や、月刊FPDintelligenceの1995年5月号の第31頁~35頁に記載されている「三国電子 IPS TFT-LCDを2PEPで製造するプロセスを考案-TFTチャネル部分をハーフトーン露光」という技術報告にも示されている。

#### 【0012】

【発明が解決しようとする課題】前述のように、従来の高開口率アクティブマトリクス基板34の製造プロセスでは、合計5枚のフォトマスクが必要であり、プロセス時間の長時間化や製造歩留まりの低下の要因となっている。特開平5-303111号公報に開示されている先行技術では、ゲート電極を、画素電極用と同時に成膜するITO透明電極膜を下地とする電界メッキで形成し、フォトリソプロセスを用いることなくゲート電極膜のパターニングを行って、TFTアレイ製造工程に用いられるフォトマスクの数を低減している。しかしながら、それでも5枚のフォトマスクが必要であり、プロセス時間の長時間化や製造歩留まりの低下の要因となっている。さらに、TFTアレイ基板上への電解メッキによるゲート電極形成の下地膜としてITO透明電極膜を用いているので、ゲート電極と画素電極とをオーバーラップさせることができず、開口率が低下してしまう。また、電解メッキによるゲート電極の作製時には、電位降下による膜厚の不均一性が非常に大きくなりやすく、特に大型基板では膜厚の均一性を保つことが難しくなる。

【0013】特開2000-206571号公報に示されているような厚さを変えたレジストパターンを用いる方法では、TFT素子部を形成する際に1枚のフォトマスクを低減することが可能となるだけであり、しかもIPS(In Plane Switching)モードのTFTアクティブマトリクス型液晶表示装置について主として説明されているだけである。ゲート電極と画素電極とを立体的にオーバーラップさせ、開口率を高めたTFT基板でフォトマスクの使用数をさらに低減する可能性については示されていない。

【0014】本発明の目的は、TFTアクティブマトリクス基板などで製造工程で用いるフォトマスクの使用数

を低減することができる液晶用マトリクス基板およびその製造方法を提供することである。

【0015】また本発明の目的は、一般に電子回路を形成する配線基板で、フォトマスクの使用数を低減することができるコンタクトホール形成方法を提供することである。

#### 【0016】

【課題を解決するための手段】本発明は、複数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成される液晶用マトリクス基板において、マトリクス回路上を平坦に覆うように電気絶縁性合成樹脂材料で形成され、該画素電極形成領域には凹所が形成され、さらに該凹所内に該マトリクス回路まで貫通するコンタクトホールが形成される電気絶縁膜と、電気絶縁膜の凹所およびコンタクトホール内に充填される導電材とを含むことを特徴とする液晶用マトリクス基板である。

【0017】本発明に従えば、液晶用マトリクス基板は、複数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成され、電気絶縁膜と導電材とを含む。電気絶縁膜は、電気絶縁性合成樹脂材料でマトリクス回路上を平坦に覆うように形成される。画素電極形成領域には凹所が形成され、さらに凹所内にマトリクス回路まで貫通するコンタクトホールが形成される。導電材は電気絶縁膜の凹所およびコンタクトホール内に充填されるので、凹所に充填される部分が画素電極となり、コンタクトホール内に充填される部分を通じて画素電極とマトリクス回路とを電気的に接続することができる。画素電極とマトリクス回路とは電気絶縁膜で立体的に分離されているので、マトリクス回路と画素電極とをオーバーラップさせて、開口率を高めることができる。画素電極の形成は、電気絶縁膜の凹所を充填して行うので、フォトマスクを用いなくても精度よく形成することができる。フォトマスクの使用数を低減することができる。

【0018】さらに本発明は、複数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成される液晶用マトリクス基板の製造方法において、電気絶縁性基板上に、感光性を有する電気絶縁性合成樹脂材料を塗布して、表面が平坦な電気絶縁膜を形成し、電気絶縁膜の表面に、撥水性透明樹脂層を形成し、撥水性透明樹脂層を通して、電気絶縁膜を、予め定められる画素電極形成領域を除いて硬化し、該画素電極領域の予め定めるコンタクトホール位置で未硬化となり、該コンタクトホール位置を除く該画素電極領域で部分的に硬化するように、露光量を調整したマスクでハーフトーン露光し、電気絶縁膜を現像して、画素電極領域で撥水性透明樹脂層が除去され、コンタクトホール位置の電気絶縁膜にマトリクス回路に達する貫通孔が形成され、コンタクトホール位置を除く画素電極領域で該貫通孔に連なる凹所が形成されるようにパターニングし、パターニングされた撥水性透明樹脂層および電気絶縁膜上に、塗布型導電材を

塗布して画素電極を形成することを特徴とする液晶用マトリクス基板の製造方法である。

【0019】本発明に従えば、複数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成される液晶用マトリクス基板は、電気絶縁膜の形成、撥水性透明樹脂層の形成、電気絶縁膜のハーフトーン露光によるパターンニングおよび画素電極の形成を経て製造される。電気絶縁膜の形成は、マトリクス回路が形成されている電気絶縁性基板上に、感光性を有する電気絶縁性合成樹脂材料を塗布して、表面が平坦となるように行う。電気絶縁膜の表面には、撥水性透明樹脂層が形成される。電気絶縁膜のハーフトーン露光は、予め定められる画素電極形成領域を除いて硬化し、画素電極領域の定めるコンタクトホール位置で未硬化となり、コンタクトホール位置を除く画素電極領域で部分的に硬化するように、露光量を調整したマスクを用いて行う。電気絶縁膜を現像すると、コンタクトホール位置の電気絶縁膜にマトリクス回路に達する貫通孔が形成され、コンタクトホール位置を除く画素電極領域で凹所が形成されるようにパターンニングされる。撥水性透明樹脂層は薄いので、下地となる電気絶縁膜の厚さが減少する凹所および貫通孔が形成される部分で消失し、画素電極領域を除く部分で残存する。塗布型導電材料を塗布すると、残存している撥水性透明樹脂層の部分は撥水性によって塗布型導電材料を弾く性質を有するので、塗布型導電材料は電気絶縁膜上の凹所およびコンタクトホール位置に充填され、画素電極とコンタクトホールの導電部分とを形成することができる。凹所と貫通孔とを電気絶縁膜に形成するために1枚のフォトマスクを用いればよいので、フォトマスクの使用枚数を削減することができる。

【0020】また本発明で前記マトリクス回路は、複数の薄膜トランジスタを含むTFTアクティブマトリクス回路であり、該TFTアクティブマトリクス回路の製造工程は、前記電気絶縁性基板上にゲート電極材料で成膜し、パターンニングするゲート電極膜パターンニング工程と、ゲート絶縁膜、チャネル領域となる第1の半導体層、オーミックコンタクト層となる第2の半導体層、さらにはソース・ドレイン電極となる金属層を順次積層する積層工程と、露光量を調整したハーフトーン露光によって、第1の半導体層および第2の半導体層を島状に形成し、ソース・ドレイン電極のパターンニングおよびチャネルエッチングを行う分離エッチング工程と、分離エッチング工程後に、パッシベーション膜を成膜して覆うパッシベーション工程とを含むことを特徴とする。

【0021】本発明に従えば、複数の薄膜トランジスタを含むTFTアクティブマトリクス回路を形成する際に、TFTアクティブマトリクス回路を、ゲート電極膜パターンニング工程、分離エッチング工程およびパッシベーション工程を含む製造工程で製造する。ゲート電極膜パターンニング工程では、電気絶縁性基板上にゲート電極

材料で成膜しパターンニングする。積層工程では、ゲート絶縁膜、チャネル領域となる第1の半導体層、オーミックコンタクト層となる第2の半導体層、さらにはソース・ドレイン電極となる金属層を順次積層する。分離エッチング工程では、露光量を調整したハーフトーン露光によって、第1の半導体層および第2の半導体層を島状に形成し、ソース・ドレイン電極のパターンニングおよびチャネルエッチングを行う。パッシベーション工程では、分離エッチング工程後に、パッシベーション膜を成膜して覆う。TFTアクティブマトリクス回路の製造の際には、ゲート電極膜パターンニング工程と、分離エッチング工程とでそれぞれフォトマスクを使用し、さらにゲート電極とオーバーラップさせる画素電極の形成の際に1枚のフォトマスクを使用するので、全部で3枚のフォトマスクを使用するだけで画素電極とゲート電極とを立体的にオーバーラップさせて高開口率を得ることができるTFTアクティブマトリクス基板を製造することができる。

【0022】また本発明は、前記画素電極の形成後に、前記撥水性透明樹脂層の残存部分を除去することを特徴とする。

【0023】本発明に従えば、画素電極の形成後に、撥水性透明樹脂層の残存部分を除去するので、マトリクス基板の表面の平坦化を高め、配向処理時の信頼性を高めることができる。

【0024】また本発明は、前記電気絶縁性合成樹脂材料として、感光性アクリル系樹脂を使用し、前記撥水性透明樹脂層は撥水性フッ素系樹脂によって形成し、前記画素電極は、塗布型透明導電材料で形成することを特徴とする。

【0025】本発明に従えば、感光性アクリル系樹脂を用いてマトリクス基板の表面を平坦化し、撥水性フッ素系樹脂を用いて感光性アクリル系樹脂の表面の凹所とコンタクトホールとに塗布型透明導電材料を閉じ込めて、フォトマスクを用いなくても精度のよい画素電極およびコンタクトホールを形成させることができる。

【0026】さらに本発明は、電気絶縁膜で覆われる導電部分に、該電気絶縁膜を貫通して表面と導通させるためのコンタクトホールを、塗布型導電材を塗布して形成する方法であって、感光性を有する電気絶縁膜の表面に、該塗布型導電剤を弾く性質を有する透明樹脂膜を形成し、透明樹脂膜を通して、電気絶縁膜を、予め定められるコンタクトホール位置では未硬化となり、コンタクトホール位置の周囲の予め定める領域を除いて硬化し、該領域では部分的に硬化するように、露光量を調整して露光させ、電気絶縁膜を現像して、コンタクトホール位置の電気絶縁膜に導電部分に達する貫通孔が形成され、コンタクトホール位置の周囲の予め定める領域に凹所が形成され、該コンタクトホール位置および該凹所で透明樹脂膜が消失するようにパターンニングし、パターンニング

された透明樹脂膜および電気絶縁膜上に、塗布型導電材を塗布して、コンタクトホール位置の貫通孔に該塗布型導電材を充填し、凹所に導電膜を形成することを特徴とするコンタクトホール形成方法である。

【0027】本発明に従えば、感光性を有する電気絶縁膜で覆われる導電部分に電気絶縁膜を貫通して表面と導通させるためのコンタクトホールを形成する際に、電気絶縁膜の表面に透明樹脂層を形成し、電気絶縁膜を露光量の調整によって多段階に硬化させる。電気絶縁膜の現像によるパターンニング後に塗布型導電材料を塗布する。透明樹脂層は塗布型導電材料を弾く性質を有する。露光量の調整は、電気絶縁膜が、予め定められるコンタクトホール位置では未硬化となり、コンタクトホール位置の周辺の予め定める領域で部分的に硬化し、該領域以外で硬化するように行う。パターンニングは、電気絶縁膜を、コンタクトホール位置で導電部分に達する貫通孔を形成し、その周辺領域で凹所を形成するように行う。貫通孔および凹所が形成される際に、その部分の透明樹脂層は消失する。電気絶縁膜上に塗布型導電材を塗布すると、コンタクトホール位置の貫通孔内と凹所内とに充填され、コンタクトホールの導電膜を形成することができる。コンタクトホールの導電部分の外形を形成するために新たなフォトマスクプロセスは不要であり、コンタクトホール形成用のフォトマスクを用いて電気絶縁膜上の導電部分もパターンニングすることができるので、フォトマスクの使用枚数を低減することができる。

【0028】

【発明の実施の形態】図1～図6の(a)から(o)で本発明の実施の第1形態としての高開口率アクティブマトリクス基板の概略的な構成とその製造方法の概要を示す。本実施形態についても、図10～図15と同様に、ゲート電極とソース電極とが交差するG-S交差部分、TFT素子部分、画素部分および端子部を並べた模式的な断面構成について示す。

【0029】図1(a)は、ガラス基板1上にゲート電極膜2を成膜した状態を示す。ゲート電極膜2は、スパッタリング法等でクロム、アルミニウム、タンタル等の金属膜を形成する。ゲート電極膜2上には、レジスト層を塗布し、1枚目のフォトマスクを用いて、図1(b)に示すようなレジストパターン3を形成する。さらにレジストパターン3を用いたエッチングにより、図1(c)に示すようにゲート電極膜2をパターンニングする。

【0030】図2(d)は、ゲート絶縁膜4、第1半導体層5および第2半導体層6を3層連続積層成膜し、さらにソース・ドレイン電極膜7をプラズマCVD法やスパッタリング法などで連続して積層成膜する。ゲート絶縁膜4は、たとえば窒化シリコン(SiNx)膜などで形成する。第1半導体層5は、アモルファスシリコン(a-Si)膜で形成する。第2半導体層6は、n型不

純物を高濃度にドーブしたn'-Si膜で形成する。ソース・ドレイン電極膜7は、クロム、アルミニウム、タンタル等の金属で形成する。さらに、全体にレジストを塗布した後、スリットマスク等を用いて露光量を調整し、1回のレジスト塗布で複数段階の厚さのレジストパターン8を、図2(e)に示すように形成する。レジストパターン8は、画素部および端子部には形成しないで、TFT素子部のチャネル部5aに相当する部分は薄肉部8aとして形成する。その他の部分は厚く形成する。すなわち、その他の部分は第1の厚み以上であり、薄肉部8aは第1の厚みより薄い第2の厚みとして形成する。次に、図2(f)に示すように、レジストパターン8に覆われていない部分のゲート絶縁膜4、第1半導体層5および第2半導体層6の3つの層と、ソース・ドレイン電極膜7とを全てエッチングで除去する。

【0031】図3(g)は、図2(f)に示す残存しているレジストパターン8の全体をアッシングで厚みを減少させ、薄肉部8aに対応するチャネル部52aの位置でソース・ドレイン電極膜7の表面が露出するようになった状態を示す。次に残存するレジストパターン8を利用して、図3(h)に示すようにソース・ドレイン電極分離およびチャネルエッチングを行う。チャネル部5aでは、第1半導体層5の厚みが調整され、第2半導体層6およびソース・ドレイン電極膜7は消失する。ここでレジストパターン8を除去すると、図3(i)に示す状態になる。

【0032】次に図4(j)に示すように、基板の全面にパッシベーション膜9を形成する。パッシベーション膜9は、窒化シリコンなどによる保護膜であり、スパッタリング法等によって形成する。パッシベーション膜9の上に感光性アクリル系樹脂を塗布すると、図4(k)に示すように、表面が平坦化した電気絶縁膜である感光性アクリル系樹脂膜10が得られる。感光性アクリル系樹脂膜10を、80～100℃の温度でプリベークし、さらにその上に撥水性透明樹脂である撥水性フッ素系樹脂11を塗布した状態を図4(l)に示す。撥水性フッ素系樹脂11も、80～100℃のプリベークする。

【0033】次に、3枚目のフォトマスクとして、スリットマスク等を用いて露光量を調整し、撥水性フッ素系樹脂11の層を透過させて感光性アクリル系樹脂膜10のハーフトーン露光を行い、多段階のパターン形状にパターンニングした状態を図5(m)に示す。撥水性フッ素系樹脂11の層は、透明で、紫外線透過率が90%以上であり、紫外線を照射すると撥水性フッ素系樹脂11の層を透過して感光性アクリル系樹脂膜10が露光する。感光性アクリル系樹脂膜10は、多段階の露光によって、画素電極が形成される領域に対応する凹所10aで部分的に硬化し、コンタクトホール10bで未硬化となり、残余の部分で硬化する。感光性アクリル系樹脂11に対してウェットエッチングなどの現像処理を行うと、

浅い凹所10aの部分と、ゲート電極部分までの貫通孔であるコンタクトホール10bとが形成される。撥水性フッ素系樹脂11の膜厚は薄いので、感光性アクリル系樹脂膜10のエッチングの過程で、リフトオフと同様のプロセスによって、画素電極が形成される凹所10a部分とコンタクトホール10bの部分とから、撥水性フッ素系樹脂11が除去される。感光性アクリル系樹脂10のエッチングでは、コンタクトホール10bの位置で、さらにパッシベーション膜9も除去されて、ソース・ドレイン電極膜7が露出する。凹所10aを除く部分では、感光性アクリル系樹脂膜10がエッチングされないの

で、撥水性フッ素系樹脂11も残存する。  
【0034】次に塗布型透明導電材をスピンコート等によって塗布すると、図5(n)に示すように、塗布型透明導電膜12が感光性アクリル系樹脂膜10の凹所10aの部分とコンタクトホール10bの部分とに充填される。撥水性フッ素系樹脂11は、撥水性によって塗布型透明導電材を弾くので、塗布型透明導電膜12は撥水性フッ素系樹脂11が残存している部分には形成されない。その後、200~250℃で焼成することによ

って、塗布型透明導電膜12から画素電極が形成される。  
【0035】図6(o)は、画素電極が形成された後、撥水性フッ素系樹脂11をアッシング等によって除去した状態を示す。これによって、高開口率アクティブマトリクス基板14が形成される。なお、画素電極を形成する塗布型透明導電膜12は、酸化インジウム錫(ITO)などによって形成することができる。

【0036】以上のように本実施形態の高開口率アクティブマトリクス基板14の製造では、(b)、(e)および(m)の3つの工程でフォトマスクを使用しているので、合計3枚のフォトマスクでTFTEレイを製造することが可能となる。すなわち、ゲート電極膜2と画素電極となる塗布型透明導電膜12とを立体的にオーバーラップさせる構造を有し、高開口率で高輝度を実現することができるTFTEレイを、従来の製造プロセスに比べて非常に少ないマスク枚数である3枚のフォトマスクで製造することが可能となる。

【0037】図7は、本発明の実施の第2形態として、図3(1)で感光性アクリル系樹脂膜10の表面に撥水性フッ素系樹脂11を塗布することに代えて、電気絶縁性樹脂膜10の表面に、塗布型透明導電膜12を形成する塗布型透明導電材料を弾く性質と感光性とを有する撥水性フッ素系樹脂11の膜をレジスト層として形成し、ハーフトーン露光で多段階の厚みとして、凹所11aとコンタクトホール位置11bとを形成した状態を示す。この状態から、図2(e)から図3(i)までと同様な工程で、電気絶縁性樹脂膜10に図5(m)と同様な凹所10aとホールコンタクトホール10bとを形成する。

【0038】図8は、各実施形態で高開口率アクティブ

マトリクス基板14を製造する際に2枚目および3枚目のフォトマスクとして用いるハーフトーン露光が可能なマスク15の基本的な断面構成を示す。マスク15は、透過部15A、遮光部15Bおよびメッシュ部15Cを備える。一般のフォトマスクでは、透過部15Aのように光の透過量が100%を目標に形成する部分と、遮光部15Bのように、光の透過量が0%を目標に形成する部分とを備える。本実施形態に用いるマスク15では、さらに透過光量が透過部15Aと遮光部15Bとの中間となるメッシュ部15Cを形成する。メッシュ部15Cは、たとえば間隔が使用する光の分解能よりも小さいメッシュパターンやスリットパターンで形成する。マスク15の透過光量の変化によって、たとえばポジ型のレジストを使用すると、透過部15Aに対応する部分ではレジスト厚みが零で、遮光部15Bに対応する部分でレジスト厚みが最大となり、メッシュ部15Cに対応する部分では透過光量が多くなるとレジスト厚が減少するようなレジストパターン16が得られる。ネガ型のレジストを使用することもでき、その場合は透過光量が多くなるとレジスト厚が増加する。

【0039】実施の第2形態の高開口率アクティブマトリクス基板14の製造では、図8に示すようなレジストパターン16を、図7に示すように、撥水性フッ素系樹脂11の膜のパターニングにも適用している。液晶表示装置の製造に関連して撥水性の樹脂を用いる考え方は、たとえばカラーフィルタの製造に関連して、特開平8-179113号公報や特開平8-292313号公報に開示されている。実施の第1形態では、画素電極の形成に、図8に示すようなハーフトーン露光用のマスク15とともに撥水性フッ素系樹脂11を利用する。このような画素電極の形成の考え方は、単純マトリクス型液晶表示装置用のマトリクス基板の形成にも適用することができる。

【0040】図9は、図10~図15で示した従来の5枚のフォトマスクを利用する高開口率アクティブマトリクス基板34の製造工程と、本発明の高開口率アクティブマトリクス基板14の製造工程での3枚のフォトマスクの使用とを対比して示す。本実施形態でも、1枚目のゲート膜パターニングの際には、従来と同様のフォトマスクを使用する。2枚目のフォトマスクは、従来では2枚目のTFTE素子部分の島状のパターニングと3枚目のソース・ドレイン分離およびチャネルエッチングとを、ハーフトーン露光を利用して1枚のフォトマスクで行う。また、本実施形態の3枚目のフォトマスクでは、従来の4枚目のコンタクトホール形成のための感光性アクリル系樹脂膜31のパターニングと、5枚目のITO画素電極膜パターニングとを、ハーフトーン露光を利用して3枚目のフォトマスクでまとめて行う。また、本実施形態の高開口率アクティブマトリクス基板14では、画素電極をITO膜を塗布して形成するので、プラズマC



VDやスパッタリングなどの真空成膜法を用いなくても、画素電極を形成することができ、製造コストの低減を図ることができる。なお、図5(n)に示すように、撥水性フッ素系樹脂11が感光性アクリル系樹脂膜10の表面に残存している状態でも、液晶表示装置を形成することは可能である。ただし、図6(o)に示すように、撥水性フッ素系樹脂11を除去すれば、表面の平坦性は向上し、段差が小さくなるので、液晶表示装置として形成する際に行う配向処理の点では有利となる。

【0041】実施の第1形態では、図5(n)から図6(o)に示すように、撥水性フッ素系樹脂11を透過しての感光性アクリル系樹脂のハーフトーン露光を利用して、端子部でもコンタクトホールを形成することができる。実施の第2形態では、レジスト層のハーフトーン露光で、コンタクトホールを形成することができる。このような画素部や端子部と同様のコンタクトホール形成は、液晶表示用のマトリクス基板ばかりではなく、電子回路形成用の配線基板に広く適用することができる。また、塗布型透明導電材に代えて、油性の塗布型導電材を用いる場合は、撥水性の樹脂に代えて親水性の樹脂を用い

【0042】

【発明の効果】以上のように本発明によれば、画素電極形成領域で電気絶縁膜の表面の凹所およびコンタクトホールに導電材を充填するので、コンタクトホールおよび画素電極の形成にフォトリソを用いる必要がなく、画素電極のパターニングおよびコンタクトホール部分の製造の際に必要なフォトリソの枚数を低減することができる。

【0043】さらに本発明によれば、撥水性透明樹脂層が表面に形成される電気絶縁膜を1枚のフォトリソを用いてハーフトーン露光を行い、コンタクトホールの形成とコンタクトホールを通じてマトリクスと導通する画素電極の形成とを行わせることができる。

【0044】また本発明によれば、画素電極のオーバーラップも許容する高開口率アクティブマトリクス基板を3枚のフォトリソを利用するだけで形成することができる。

【0045】また本発明によれば、画素電極形成後に撥水性透明樹脂層を確実に除去して表面を平坦化することができる。

【0046】また本発明によれば、電気絶縁性合成樹脂材料として感光性アクリル系樹脂を使用する。撥水性透明樹脂層を撥水性フッ素系樹脂によって形成するので、塗布型透明導電材料を、撥水性フッ素系樹脂層で囲まれる領域の内部に閉じ込めて、フォトリソを用いなくても画素電極を形成することができる。

【0047】さらに本発明によれば、電子回路などの配

線基板で、1枚のマスクを部分的に露光量を変えるように用いて、コンタクトホールを生産性よく形成することができる。

【図面の簡単な説明】

【図1】本発明の実施の第1形態としての高開口率アクティブマトリクス基板14の製造過程を示す簡略化した断面図である。

【図2】本発明の実施の第1形態としての高開口率アクティブマトリクス基板14の製造過程を示す簡略化した断面図である。

【図3】本発明の実施の第1形態としての高開口率アクティブマトリクス基板14の製造過程を示す簡略化した断面図である。

【図4】本発明の実施の第1形態としての高開口率アクティブマトリクス基板14の製造過程を示す簡略化した断面図である。

【図5】本発明の実施の第1形態としての高開口率アクティブマトリクス基板14の製造過程を示す簡略化した断面図である。

【図6】本発明の実施の第1形態としての高開口率アクティブマトリクス基板14の製造過程を示す簡略化した断面図である。

【図7】本発明の実施の第2形態としての高開口率アクティブマトリクス基板14の製造過程の一部を示す簡略化した断面図である。

【図8】実施の第1形態および第2形態で用いるハーフトーン露光用のマスク15の簡略化した断面形状と、対応する透過露光および生成されるレジストパターン形状を示す図である。

【図9】実施の各形態の高開口率アクティブマトリクス基板14の製造工程で用いるフォトリソを、従来の高開口率アクティブマトリクス基板34の製造工程で用いるフォトリソと対比して示す図である。

【図10】従来の高開口率アクティブマトリクス基板の製造工程の概要を示す簡略化した断面図である。

【図11】従来の高開口率アクティブマトリクス基板の製造工程の概要を示す簡略化した断面図である。

【図12】従来の高開口率アクティブマトリクス基板の製造工程の概要を示す簡略化した断面図である。

【図13】従来の高開口率アクティブマトリクス基板の製造工程の概要を示す簡略化した断面図である。

【図14】従来の高開口率アクティブマトリクス基板の製造工程の概要を示す簡略化した断面図である。

【図15】従来の高開口率アクティブマトリクス基板の製造工程の概要を示す簡略化した断面図である。

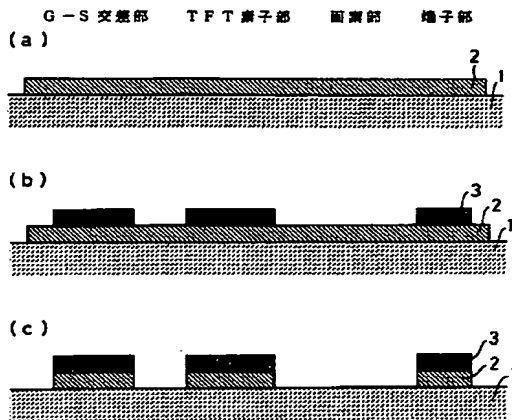
【符号の説明】

- 1 ガラス基板
- 2 ゲート電極膜
- 3, 8, 16 レジストパターン
- 4 ゲート絶縁膜

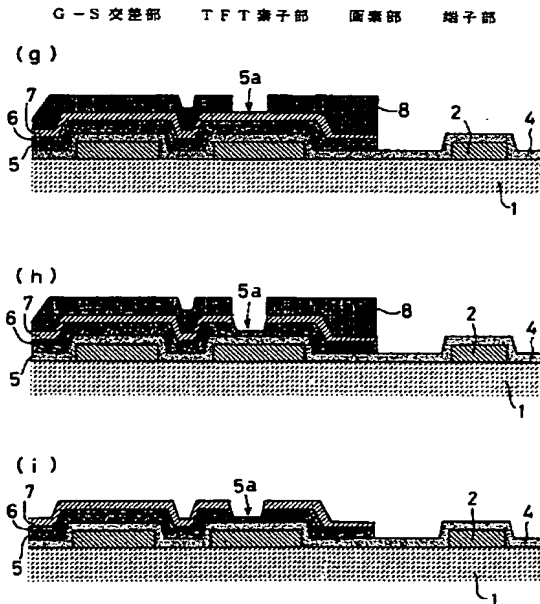
15

- 5 第1半導体層
- 5a チャンネル部
- 6 第2半導体層
- 7 ソース・ドレイン電極膜
- 8a 薄肉部
- 9 パッシベーション膜
- 10 感光性アクリル系樹脂膜
- 10a, 10b 凹所
- 10b コンタクトホール

【図1】



【図3】

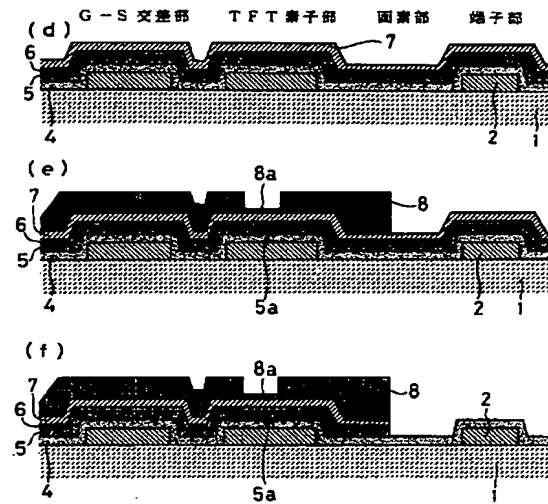


16

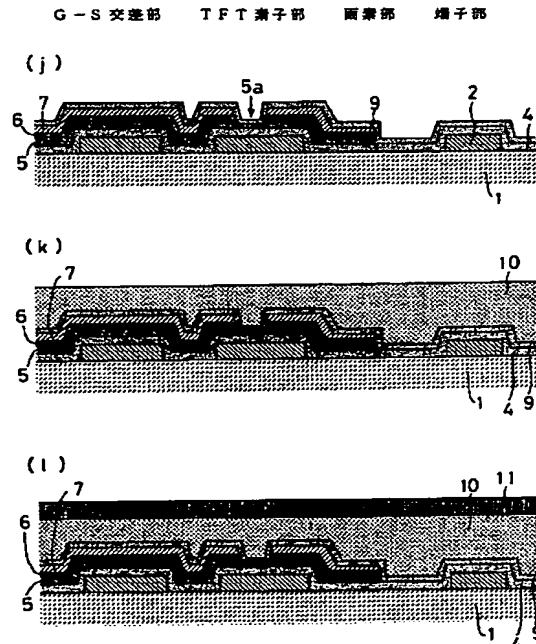
- \* 11 撥水性フッ素系樹脂
- 11b コンタクトホール位置
- 12 塗布型透明導電膜
- 14 高開口率アクティブマトリクス基板
- 15 マスク
- 15A 透過部
- 15B 遮光部
- 15C メッシュ部

\*

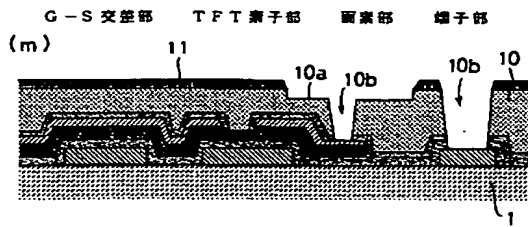
【図2】



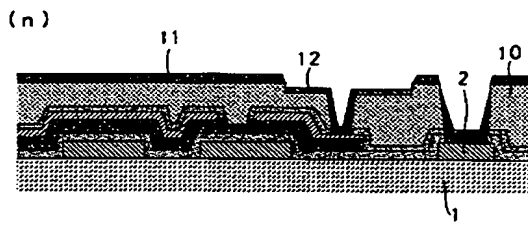
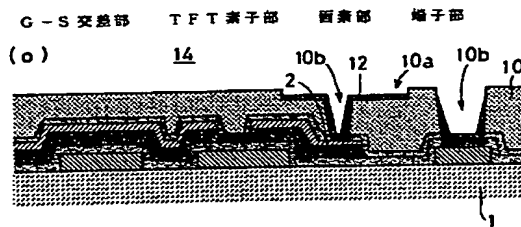
【図4】



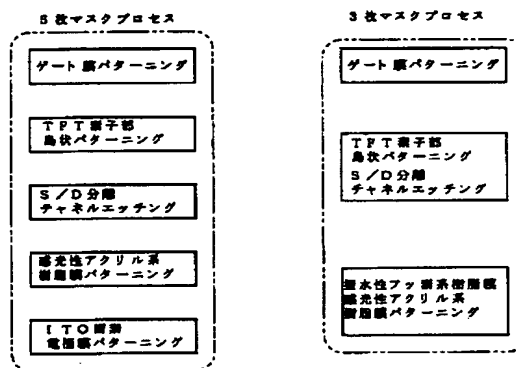
【図5】



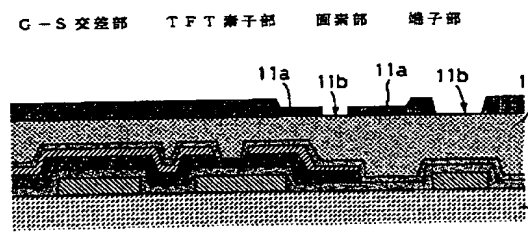
【図6】



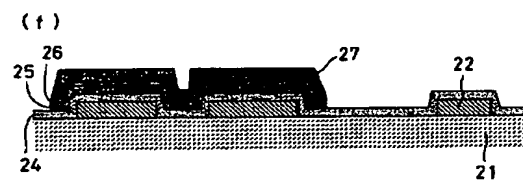
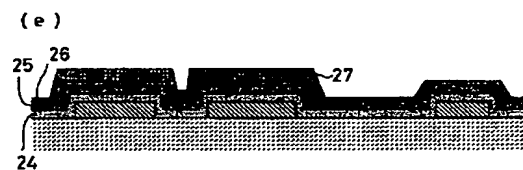
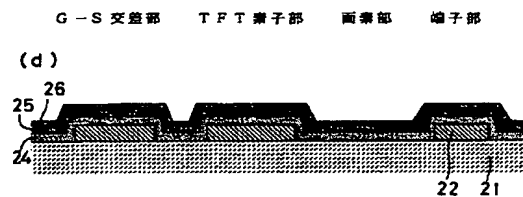
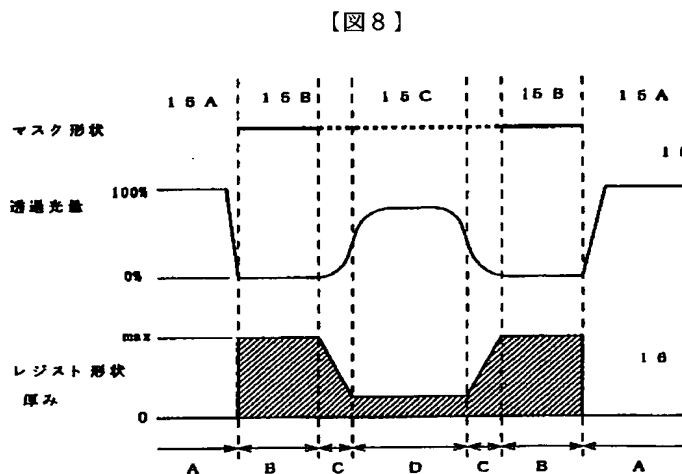
【図9】



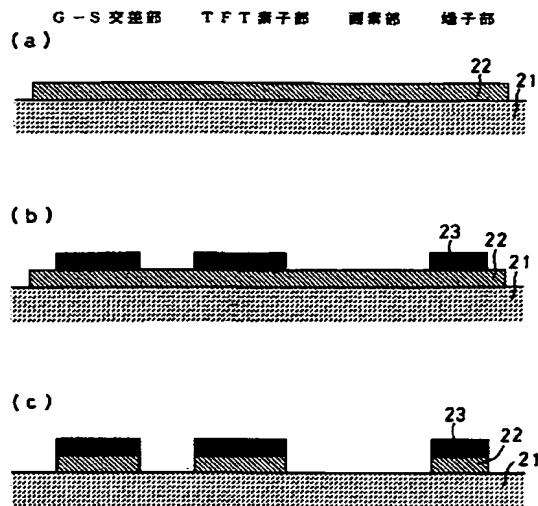
【図7】



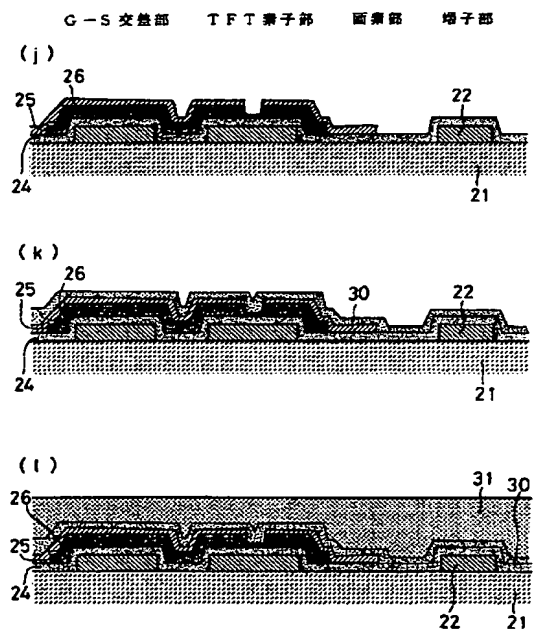
【図11】



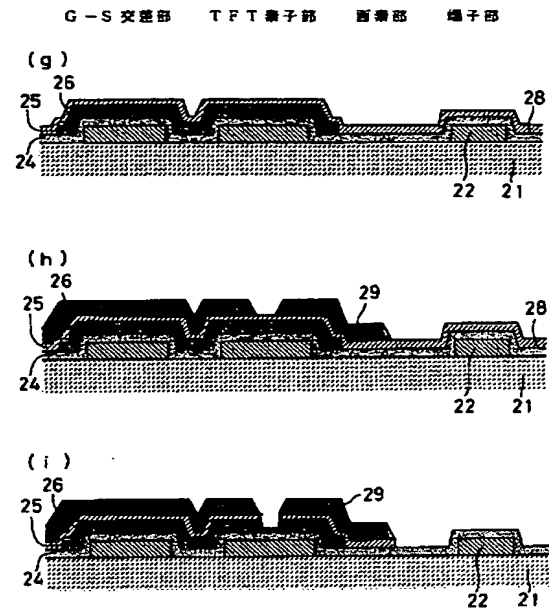
【図10】



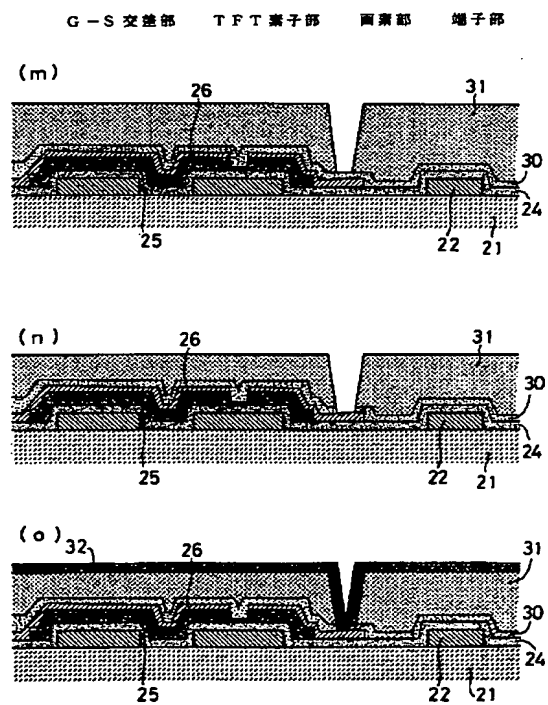
【図13】



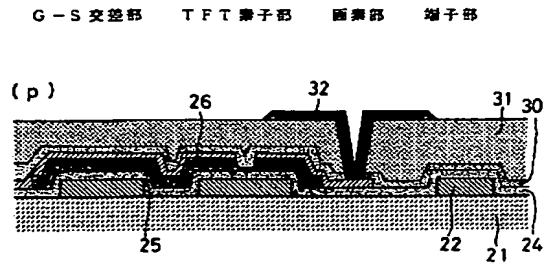
【図12】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.

H01L 21/336

識別記号

F I

H01L 29/78

テーマコード (参考)

616J

(72)発明者 吉良 徹

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

F ターム (参考) 2H097 BB01 FA02 LA12

5F033 HH08 HH17 HH21 HH38 JJ01

JJ08 JJ17 JJ21 JJ38 KK05

PP26 QQ09 QQ37 RR06 VW15

XX33

5F058 AA06 AB04 AB07 AC07 AC10

AF04 AH02

5F110 AA16 BB01 CC07 DD02 EE03

EE04 EE44 FF03 GG02 GG15

HK03 HK04 HK09 HK21 HL07

HL14 HL22 HM18 NN03 NN24

NN27 NN34 QQ02

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**